

# INTER-PROCESSOR COUPLING SYSTEM

Publication number: JP1044571 (A)

Publication date: 1989-02-16

Inventor(s): KAWAMURA RYOSAKU +

Applicant(s): OMRON TATEISI ELECTRONICS CO +

Classification:

- international: G06F13/38; G06F15/16; G06F15/167; G06F5/06; G06F13/38; G06F15/16; G06F5/06; (IPC1-7): G06F13/38; G06F15/16; G06F5/06

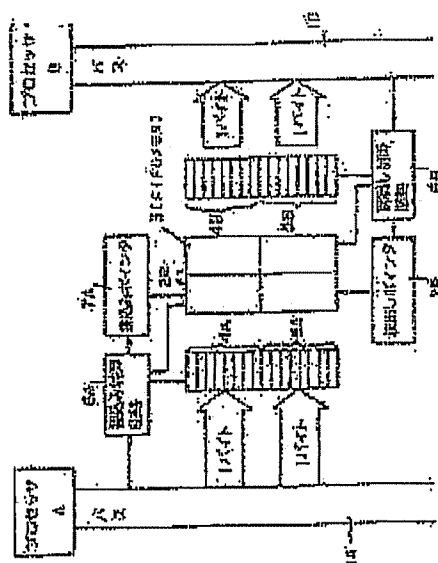
- European:

Application number: JP19870201105 19870812

Priority number(s): JP19870201105 19870812

## Abstract of JP 1044571 (A)

**PURPOSE:** To improve coupling efficiency by coupling between the 1st and 2nd processors through an FIFO capable of shifting two or more data in a parallel state by the prescribed number of steps. **CONSTITUTION:** The FIFO memory 3 capable of shifting two 1-byte data in the parallel state by two steps is connected between the system bus 1A of the processor A and the system bus 1B of the processor B. A write control circuit 6A controls data writing from the processor A to writing side latches 4A, 5A and data writing from the latches 4A, 5A to the FIFO memory 3. A read control circuit 6B controls data reading from the FIFO memory 3 to reading side latches 4B, 5B, and when the latches 4B, 5B are emptied, two byte data are read out from an area pointed out by a reading pointer 7B and written in the latches 4B, 5B.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-44571

|                         |       |           |                       |
|-------------------------|-------|-----------|-----------------------|
| ⑬ Int. Cl. <sup>4</sup> | 識別記号  | 庁内整理番号    | ⑭ 公開 昭和64年(1989)2月16日 |
| G 06 F 15/16            | 3 2 0 | Y-6745-5B |                       |
| 5/06                    |       | Z-7230-5B |                       |
| 13/38                   | 3 4 0 | C-8840-5B | 審査請求 未請求 発明の数 1 (全8頁) |

⑮ 発明の名称 プロセッサ間結合方式

⑯ 特 願 昭62-201105

⑰ 出 願 昭62(1987)8月12日

⑱ 発 明 者 川 村 良 作 京都府京都市右京区花園土堂町10番地 立石電機株式会社  
内

⑲ 出 願 人 立石電機株式会社 京都府京都市右京区花園土堂町10番地

⑳ 代 理 人 弁理士 和田 成則

明 細 書

1. 発明の名称

プロセッサ間結合方式

2. 特許請求の範囲

(1) 第1のプロセッサシステムと第2のプロセッサシステムとの間に2以上のデータを並列状態のままて所定段数だけシフト可能なFIFOメモリを設け、

該FIFOメモリの入力側各データポートには第1のプロセッサシステムのアドレス空間内のアドレスを割付ける一方、出力側各データポートには第2のプロセッサシステムのアドレス空間内のアドレスを割付け、

該FIFOメモリを適宜にシフトさせることにより、第1のプロセッサシステムから第2のプロセッサシステムへと2以上のデータを並列かつ非同期に転送すること、

を特徴とするプロセッサ間結合方式。

3. 発明の詳細な説明

《発明の分野》

この発明は、マルチプロセッサシステムに好適なプロセッサ間結合方式に関する。

《発明の概要》

この発明では、第1のプロセッサシステムと第2のプロセッサシステムとの間を、2以上のデータを並列状態のままて所定段数だけシフト可能なFIFOメモリを介して結合し、両プロセッサ間を効率的に結合したものである。

《従来技術とその問題点》

従来、マルチプロセッサシステム等に適用されるプロセッサ間結合方式としては、第5図に示されるように、同一の大きさのアドレス空間を、両プロセッサ間で共有するいわゆる共有メモリ方式が一般的である。

しかしながら、このような共有メモリ方式においては、大量のデータを共有する必要がある場合には、共有メモリ空間を広く確保せねばならず、その結果共有メモリ空間以外に使用可能な空間が十分に確保できないこと、片方のプロセッサが共有メモリをアクセス中のときには、他方のプロセッサ

サは共有メモリをアクセスできないこと、共有メモリ空間として確保できる最大範囲は、プロセッサがアドレスできる範囲によって制限されてしまうことなどの問題点があった。

また、第6図に示されるように、共有メモリ内において、待ち行列処理が必要な場合には、待ち行列処理のための複雑なソフトウェアが必要となること、一方のプロセッサが待ち行列処理中の場合、他方のプロセッサはその待ち行列にアクセスできないこと、待ち行列処理を行なったとしても、一度にシフト可能なデータ数は1個に限られるため、処理の高速化に制約を受けることなどの問題点があった。

#### 《発明の目的》

この発明の目的は、大量のデータを共有する必要がある場合にも、共有アドレス空間が少なくても済み、また待ち行列処理のために複雑なソフトウェアが不要であり、また共有アドレス空間に対して相方のプロセッサが同時にアクセスを行なうことができ、さらに複数のデータの授受を同一タイ

ミングで行い得るようにしたプロセッサ間結合方式を提供することにある。

#### 《発明の構成と効果》

この発明は上記の目的を達成するために、第1のプロセッサシステムと第2のプロセッサシステムとの間に2以上のデータを並列状態のままで所定段数だけシフト可能なFIFOメモリを設け、

該FIFOメモリの入力側各データポートには第1のプロセッサシステムのアドレス空間内のアドレスを割付ける一方、出力側各データポートには第2のプロセッサシステムのアドレス空間内のアドレスを割付け、

該FIFOメモリを適宜にシフトさせることにより、第1のプロセッサシステムから第2のプロセッサシステムへと2以上のデータを並列かつ非同期に転送することを特徴とするものである。

このような構成によれば、大量のデータを共有する必要がある場合にも、共有アドレス空間が少なく済み、また待ち行列処理のために複雑なソフトウェアが不要であり、また共有アドレス空間

- 3 -

- 4 -

に対して相方のプロセッサが同時にアクセスを行なうことができ、さらに複数のデータの授受を同一タイミングで行い得るという効果がある。

#### 《実施例の説明》

第1図は、本発明に係わるプロセッサ間結合方式の一実施例を示す回路図、第2A図～第2G図はその動作説明図である。

この例では、プロセッサAからプロセッサBに対し、2個の1バイトデータをFIFOメモリ3を介して転送するようにしている。

すなわち、第1図において、プロセッサAのシステムバス1AとプロセッサBのシステムバス1Bとの間には、2個の1バイトデータを並列状態のままで2段シフト可能なFIFOメモリ3が設けられている。

このFIFOメモリ3の入力側各データポートには1バイト構成からなるラッチ4A、5Aが接続されており、これらのラッチ4A、5AにはプロセッサAのアドレス空間内のアドレスが割り付けられている。

また、FIFOメモリ3の出力側各データポートには同様に2個のラッチ4B、5Bが接続されており、これらのラッチ4B、5Bにも同様に、プロセッサBのアドレス空間内のアドレスが割り付けられている。

番込制御回路6Aは、番込側ラッチ4A、5Aに対するプロセッサAからのデータ番込みおよび番込側ラッチ4A、5AからFIFOメモリ3内のデータ番込みを制御するもので、番込側ラッチ4A、5Aが満杯になるとともに、そのデータは番込ポインタ7Aで示されるFIFOメモリ3内のエリアへと自動的に番込まれ、同時にラッチ4A、5Aは零クリアされる。

読出制御回路6Bは、FIFOメモリ3から読出側ラッチ4B、5Bに対するデータ読出しを制御するもので、読出側ラッチ4B、5Bが空になると、自動的に読出ポインタ7Bで示されるFIFOメモリ3内のエリアから、2個のバイトデータを読出し、これを読出側ラッチ4B、5Bに番込むようになされている。

- 5 -

- 6 -

次に、以上の構成よりなるシステムの動作を、第2A図～第2G図を参照しながら説明する。

第2A図はリセット直後の状態を示すもので、この状態では書込ポインタの内容と読出ポインタの内容とは同一であり、また書込側ラッチ4A、5Aおよび読出側ラッチ4B、5Bはそれぞれ零クリアされている。

この状態において、プロセッサA側から順次1個ずつ1バイトデータの書込処理を行なうと、第2B図および第2C図に示されるように、書込制御回路6Aの作用によって、2個の1バイトデータはラッチ4A、5Aと順次書込まれる。

第2C図に示されるように、ラッチ4A、5Aが相対書込まれて書込側ラッチが全て満杯となると、書込制御回路6Aの作用によって、ラッチ4A、5Aのデータは、自動的に書込ポインタ7Aで示されるFIFOメモリ3内のエリアへと、第2D図に示されるように書込まれ、その後ラッチ4A、5Aの内容は零クリアされる。

また、書込ポインタ7Aの内容は、FIFOメ

- 7 -

与えられると、読出ポインタ7Bで指定されるFIFOメモリ3内のデータは、読出制御回路6Bの作用によって、読出側の2個のラッチ4B、5Bへと読出され、以後これらのデータはプロセッサB側で読取ることができる。

このように本実施例回路では、2個の1バイトデータを並列状態のまま2段にシフトさせ、プロセッサA側からプロセッサB側へと転送させることができ、この際プロセッサA側およびB側で占有するアドレス空間は2バイトであるにも拘らず、バッファ空間としてはFIFOメモリ3による4バイト分を確保することができる。

そして、このバッファリング空間の大きさは、FIFOメモリ3のシフト段数によって任意に増加することができ、従来の共有メモリ方式のように、プロセッサA側またはB側のアドレス空間によって、制限されることはなくなる。

また、2以上のデータを並列状態のままA側からB側へと転送できるため、例えば2バイト構成および4バイト構成の命令等を転送する場合に、

- 9 -

メモリ3内の次に書込まれるべきエリアを示すこととなる。

このとき、B側の処理方式によっては、Bが読出すことのできるデータがFIFOメモリ内に準備できたことを示す回路（割込発生回路など）を動作させても良い。

すなわち、第2E図に示されるように、B側で2個の1バイトデータをともにFIFOメモリ3から取出すことが可能であるということは、読出側のラッチ4B、5Bへ既に格納されているということの意味する。

一方、第2D図の状態において、A側からさらに2個の1バイトデータを、第2F図に示されるように、ラッチ4A、5Aへと書込むと、書込制御回路6Aでは書込側ラッチが満杯になったことを検出し、第2G図に示されるように、新たな2個の1バイトデータは、書込ポインタ7Aで示されるFIFOメモリ3内のエリアへと書込まれ、同時に書込側ラッチ4A、5Aは零クリアされる。

第2G図の状態において、B側から読出指令が

- 8 -

プロセッサの処理速度を向上させることができる。

第3図は他の実施例を示すもので、この例ではチップ外データバス幅8ビット、チップ内データバス幅8ビット(8/8)のマイクロプロセッサMC6809と、チップ外データバス幅8ビット、チップ内データバス幅16ビット(8/16)のマイクロプロセッサ80188を本方式により結合したものである。

両者を結合するためのFIFOメモリとしては、1バイト×512段のFIFOメモリチップ(例えば、インテグレイテッド デバイス テクノロジー社IDT7201S/L, IDT7202S/L等)を片方向について2048個設置し、それを双方向用にそれぞれ設置している。

従って、双方向について2048×512×2=2Mバイトの共有メモリを持つことになる。

しかも、この大容量共有メモリは、MC6809マイクロプロセッサのアドレス空間64Kバイトを大幅に上回るものであるにも拘らず、MC6809のアドレス空間の中では、4Kバイトしか

- 10 -

使用していない。

すなわち、アドレス空間の中でわずか4Kバイトを双方向のFIFOに割当てることによって、あたかも2Mバイトの共有バイトを持つかの如き効果を得ている。

第4図は、プロセッサAからプロセッサBへ移動するFIFOメモリの制御における処理の流れを示すフローチャートである。

この例では、送信データの挿入側に512段のキューが一杯でないことを示す「挿入可フラグ」を設ける一方、受信データの取出側ではFIFOメモリ内に受信データ残りの場合に、FIFOメモリからプロセッサBへ割込みが発生する回路を設けている。

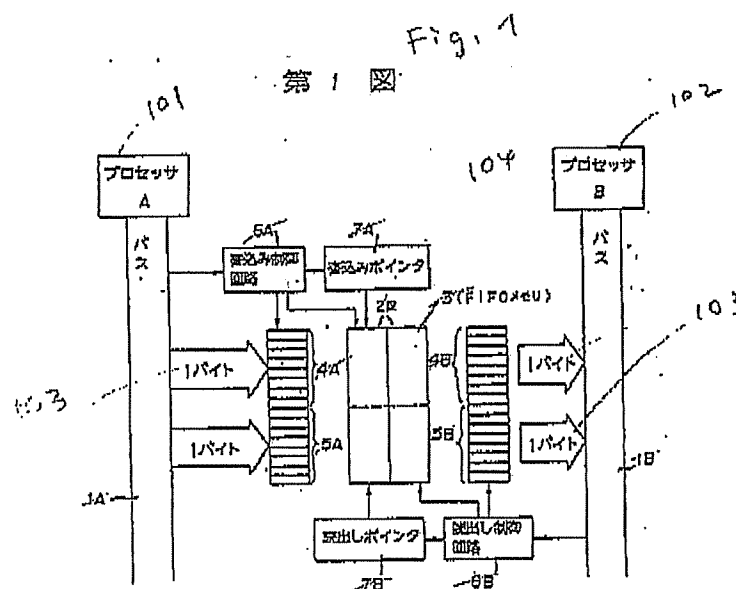
このように本実施例によれば、プロセッサAからプロセッサBへと大量のデータを、少ないアドレス空間の占有でしかも並列に転送することができるわけである。

#### 4. 図面の簡単な説明

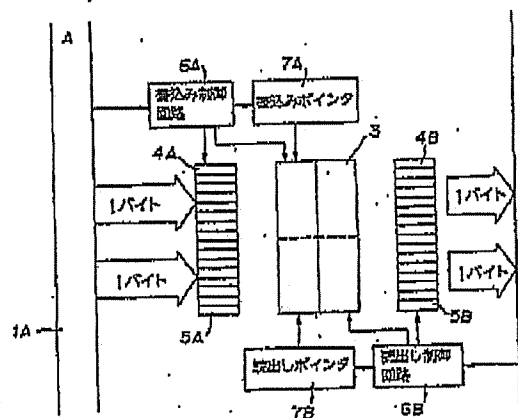
第1図は本発明に係わるプロセッサ間結合方式の一実施例を示す回路図、第2A図～第2G図は同回路の動作を示す説明図、第3図は本発明方式の他の実施例を示す回路図、第4図は同実施例の送受信制御を示すフローチャート、第5図および第6図は従来のプロセッサ間結合方式を示すメモリマップである。

- 1A, 1B…システムバス
- 3…FIFOメモリ
- 4A, 5A…挿入側ラッチ
- 4B, 5B…取出側ラッチ
- 6A…挿入制御回路
- 6B…取出制御回路
- 7A…挿入ポインタ
- 7B…取出ポインタ
- 8…割込発生回路

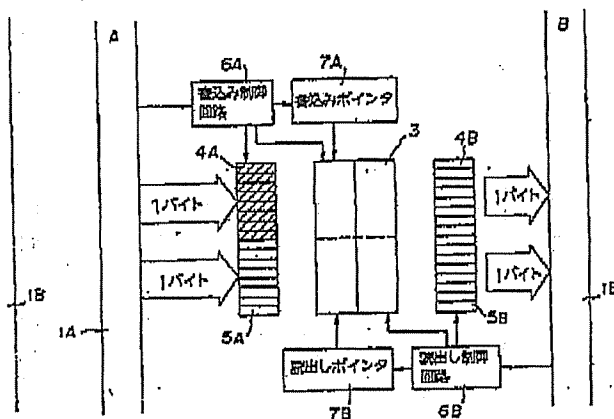
特許出願人 立石電機株式会社  
代理人 弁理士 和田成則



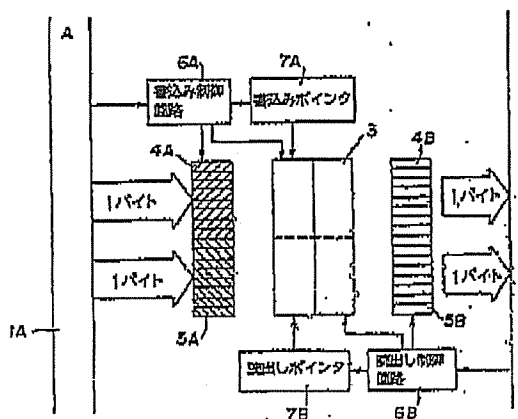
第2A図



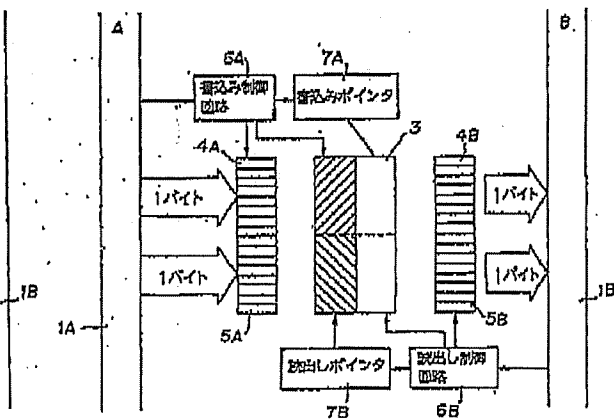
第2B図



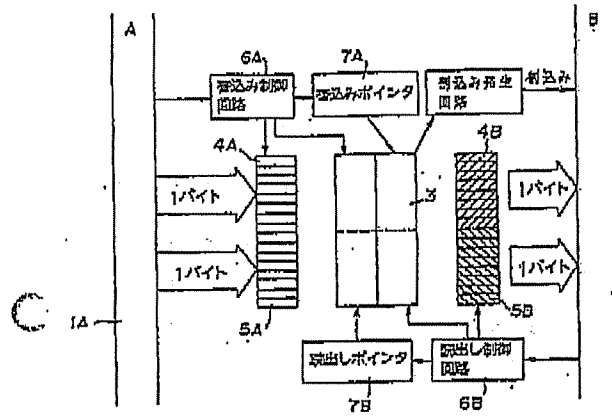
第2C図



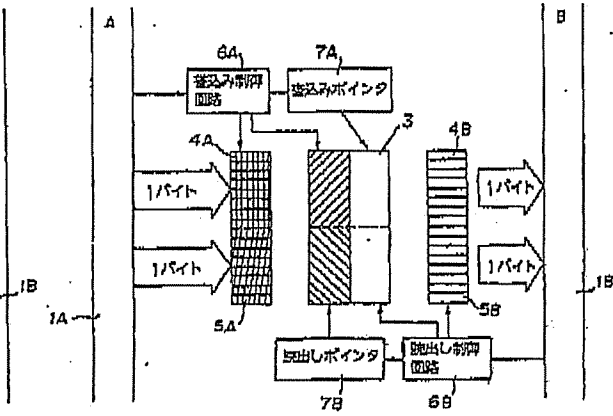
第2D図



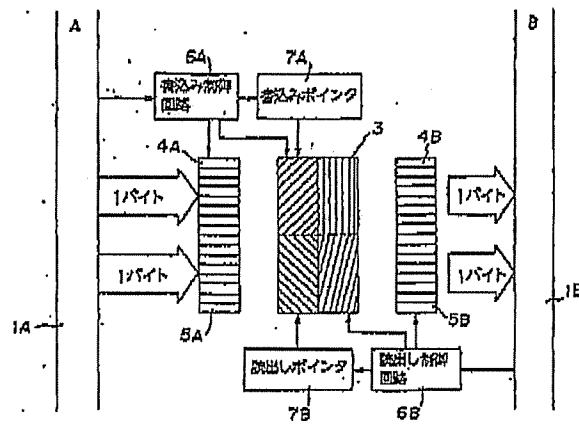
第2E図



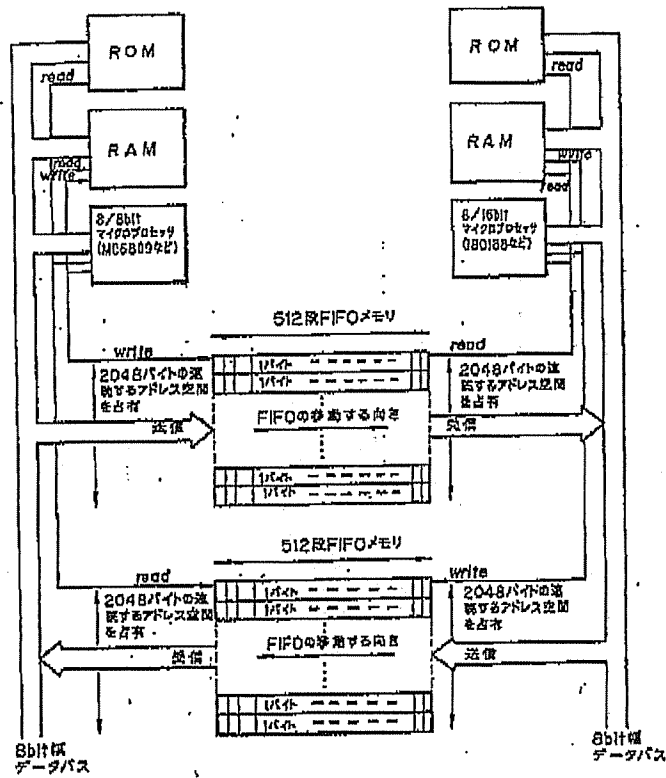
第2F図



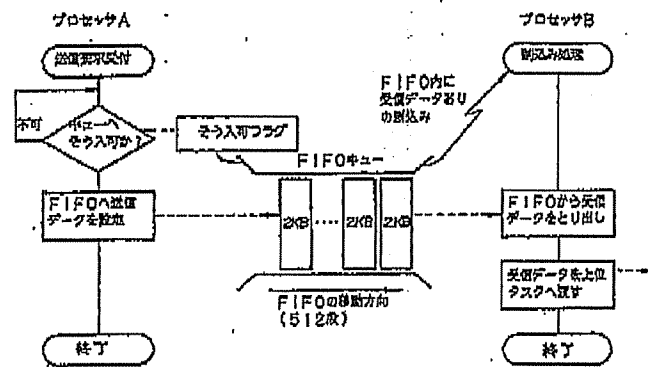
第2G図



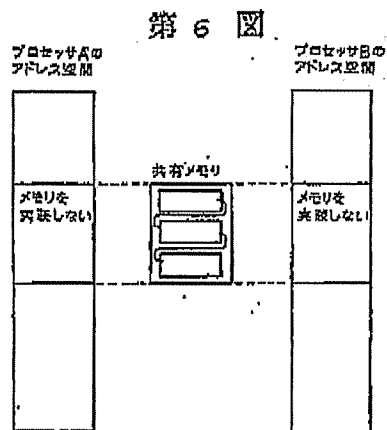
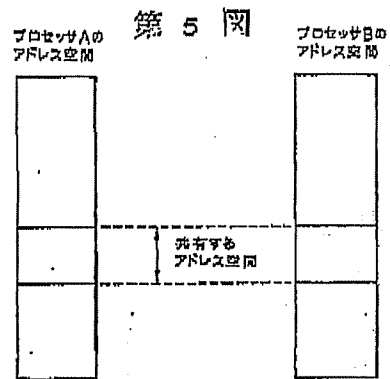
第 3 図



第 4 図







【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第8部門第3区分  
 【発行日】平成6年(1994)2月18日

【公開番号】特開平1-44571  
 【公開日】平成1年(1989)2月16日  
 【年次号数】公開特許公報1-446  
 【出願番号】特願昭62-201105  
 【国際特許分類第5版】

G06F 15/16 320 V 8840-5L  
 5/05 Z 9189-58  
 13/38 340 C 9072-58

特許庁長官に提出

平成5年5月25日

特許庁長官殿

1. 事件の表示

特願昭62-201105号

2. 発明の名称

プロセッサ間結合装置

3. 補正をする者

事件との関係 特許出願人

住 所 京都府京都市右京区花園上町10番地

名 称 (284) オムロン株式会社

代表者 立石 義雄

4. 代理人 〒101

住 所 東京都千代田区内神田1丁目15番16号

東光ビル6階 電話(8295)1480,1908

氏 名 (8943) 弁理士 和田 成明

5. 補正命令の日付 (自発)

6. 補正の対象 明細書全文

7. 補正の内容 明細書全文を別紙の如く補正する。

明 細 書

1. 発明の名称

プロセッサ間結合装置

2. 特許請求の範囲

第1のプロセッサと第2のプロセッサとの間に、  
2以上のデータを並列状態のままあらかじめ定  
めた段数だけシフト可能なFIFOメモリを設け、  
前記FIFOメモリの入力側各データポートに  
は、前記第1のプロセッサのアドレス区間のア  
ドレスを割り付け、

前記FIFOメモリの出力側各データポートに  
は、前記第2のプロセッサのアドレス区間のア  
ドレスを割り付け、

前記FIFOメモリ内に保持されたデータをシ  
フトさせることにより、第1のプロセッサから第  
2のプロセッサへと2以上のデータを並列かつ非  
同期に転送することを特徴とする、

プロセッサ間結合装置。

3. 発明の詳細な説明

〔発明の分野〕

この発明は、マルチプロセッサシステムに好適なプロセッサ間結合装置に関する。

#### 〔従来技術とその問題点〕

従来、マルチプロセッサシステム等においてプロセッサ間を結合するには、第5図に示されるように、共有メモリを用いて、同一の大きさのアドレス空間を複数のプロセッサで共有する方法が一般的である。

しかしながら、この様な共有メモリを使用する場合にあっては、大量のデータを共有する必要がある場合には、共有メモリ空間を広く確保せねばならず、その結果共有メモリ空間以外に使用可能な空間が十分に確保できないこと、片方のプロセッサが共有メモリをアクセス中のときには、他方のプロセッサは共有メモリをアクセスできないこと、共有メモリ空間として確保できる最大範囲は、プロセッサがアドレスできる範囲によって制限されてしまうことなどの問題点があった。

また、第6図に示されるように、共有メモリ内において、待ち行列処理が必要な場合には、待ち

行列処理のための複雑なソフトウェアが必要となること、一方のプロセッサが待ち行列処理中の場合、他方のプロセッサはその待ち行列にアクセスできないこと、待ち行列処理を行なったとしても、一度にシフト可能なデータ数は1個に限られるため、処理の高速化に制約を受けることなどの問題点があった。

#### 〔発明の目的〕

この発明の目的は、大量のデータを共有する必要がある場合にも、共有アドレス空間が少なくても済み、また待ち行列処理のために複雑なソフトウェアが不要であり、また共有アドレス空間に対して相方のプロセッサが同時にアクセスを行なうことができ、さらに複数のデータの授受を同一タイミングで行い得るようにしたプロセッサ間結合装置を提供することにある。

#### 〔発明の構成と効果〕

この発明は上記の目的を達成するために、第1のプロセッサと第2のプロセッサとの間にFIFOメモリを設け、FIFOメモリ内に保持された

データをシフトさせることによって、第1のプロセッサから第2のプロセッサへと2以上のデータを並列かつ非同時に転送することを特徴とするものである。

このような構成によれば、大量のデータを共有する必要がある場合にも、共有アドレス空間が少なくても済み、また待ち行列処理のために複雑なソフトウェアが不要であり、また共有アドレス空間に対して相方のプロセッサが同時にアクセスを行なうことができ、さらに複数のデータの授受を同一タイミングで行い得るという効果がある。

#### 〔実施例の説明〕

第1図は、本発明に係わるプロセッサ間結合装置の一実施例を示す回路図、第2A図～第2G図はその動作説明図である。

この例では、プロセッサAからプロセッサBに対し、2個の1バイトデータをFIFOメモリ3を介して転送するようにしている。

すなわち、第1図において、プロセッサAのシステムバス1AとプロセッサBのシステムバス1

Bとの間には、2個の1バイトデータを並列状態のまま2段シフト可能なFIFOメモリ3が設けられている。

このFIFOメモリ3の入力側各データポートには1バイト構成からなるラッチ4A、5Aが接続されており、これらのラッチ4A、5AにはプロセッサAのアドレス空間内のアドレスが割り付けられている。

また、FIFOメモリ3の出力側各データポートには同様に2個のラッチ4B、5Bが接続されており、これらのラッチ4B、5Bにも同様に、プロセッサBのアドレス空間内のアドレスが割り付けられている。

書込制御回路6Aは、書込側ラッチ4A、5Aに対するプロセッサAからのデータ書込みおよび書込側ラッチ4A、5AからFIFOメモリ3内へのデータ書込みを制御するもので、書込側ラッチ4A、5Aが満杯になるとともに、そのデータは書込ポイント7Aで示されるFIFOメモリ3内のエリアへと自動的に書込まれ、同時にラッチ

4A、5Aは零クリアされる。

読出制御回路6Bは、FIFOメモリ3から読出側ラッチ4B、5Bに対するデータ読出しを制御するもので、読出側ラッチ4B、5Bが空になると、自動的に読出ポインタ7Bで示されるFIFOメモリ3内のエリアから、2個のバイトデータを読出し、これを読出側ラッチ4B、5Bに書込むようになされている。

次に、以上の構成よりなるシステムの動作を、第2A図〜第2G図を参照しながら説明する。

第2A図はリセット直後の状態を示すもので、この状態では書込ポインタの内容と読出ポインタの内容とは同一であり、また書込側ラッチ4A、5Aおよび読出側ラッチ4B、5Bはそれぞれ零クリアされている。

この状態において、プロセッサA側から順次1個ずつ1バイトデータの書込処理を行なうと、第2B図および第2C図に示されるように、書込制御回路6Aの作用によって、2個の1バイトデータはラッチ4A、5Aと順次書込まれる。

に2個の1バイトデータを、第2F図に示されるように、ラッチ4A、5Aへと書込むと、書込制御回路6Aでは書込側ラッチが満杯になったことを検出し、第2G図に示されるように、新たな2個の1バイトデータは、書込ポインタ7Aで示されるFIFOメモリ3内のエリアへと書込まれ、同時に書込側ラッチ4A、5Aは零クリアされる。

第2G図の状態において、B側から読出指令が与えられると、読出ポインタ7Bで指定されるFIFOメモリ3内のデータは、読出制御回路6Bの作用によって、読出側の2個のラッチ4B、5Bへと読出され、以後これらのデータはプロセッサB側で読取ることができる。

このように本実施例回路では、2個の1バイトデータを並列状態のままで2段にシフトさせ、プロセッサA側からプロセッサB側へと転送させることができ、この際プロセッサA側およびB側で占有するアドレス空間は2バイトであるにも拘らず、バッファ空間としてはFIFOメモリ3による4バイト分を確保することができる。

第2C図に示されるように、ラッチ4A、5Aが相方書込まれて書込側ラッチが全て満杯となると、書込制御回路6Aの作用によって、ラッチ4A、5Aのデータは、自動的に書込ポインタ7Aで示されるFIFOメモリ3内のエリアへと、第2D図に示されるように書込まれ、その後ラッチ4A、5Aの内容は零クリアされる。

また、書込ポインタ7Aの内容は、FIFOメモリ3内の次に書込まれるべきエリアを示すこととなる。

このとき、B側のデータ処理方法によっては、Bが読出すことのできるデータがFIFOメモリ内に準備できたことを示す回路（読出待ち回路など）を動作させても良い。

すなわち、第2E図に示されるように、B側で2個の1バイトデータをともにFIFOメモリ3から取出すことが可能であるということは、読出側のラッチ4B、5Bへ底に格納されているということを意味する。

一方、第2D図の状態において、A側からさら

そして、このバッファリング空間の大きさは、FIFOメモリ3のシフト段数によって任意に増加することができ、従来の共有メモリを使用する場合のように、プロセッサA側またはB側のアドレス空間によって、制限されることはなくなる。

また、2以上のデータを並列状態のままでA側からB側へと転送できるため、例えば2バイト構成および4バイト構成の命令等を転送する場合に、プロセッサの処理速度を向上させることができる。

第3図は他の実施例を示すもので、この例ではチップ外データバス幅8ビット、チップ内データバス幅8ビット（8/8）のマイクロプロセッサMC6809と、チップ外データバス幅8ビット、チップ内データバス幅16ビット（8/16）のマイクロプロセッサ180188を本発明の実施に適した形で結合したものである。

両者を結合するためのFIFOメモリとしては、1バイト×512段のFIFOメモリチップ（例えば、インテグレイテッド デバイス テクノロジー社IDT7201S/L、IDT7202S

／L等)を片方向について2048個設置し、それを双方向用にそれぞれ設置している。

従って、双方向について2048×512×2→2Mバイトの共有メモリを持つことになる。

しかも、この大容量共有メモリは、MC6809マイクロプロセッサのアドレス空間64Kバイトを大幅に上回るものであるにも拘らず、MC6809のアドレス空間の中では、4Kバイトしか使用していない。

すなわち、アドレス空間の中でわずか4Kバイトを双方向のFIFOに相当することによって、あたかも2Mバイトの共有メモリを持つかの如き効果を得ている。

第4図は、プロセッサAからプロセッサBへ移動するFIFOメモリの制御における処理の流れを示すフローチャートである。

この例では、送信データの挿入側に512段のキューが一体でないことを示す「挿入可フラグ」を設ける一方、受信データの取出側ではFIFOメモリ内に受信データ有りの場合に、FIFOメ

モリからプロセッサBへ読み込みが発生する回路を設けている。

このように本実施例によれば、プロセッサAからプロセッサBへと大量のデータを、少ないアドレス空間の占有でしかも並列に転送することができ、同時に逆方向の転送も行なうことができるわけである。

#### 4. 図面の簡単な説明

第1図は本発明に係わるプロセッサ間結合装置の一実施例を示す回路図、第2A図～第2G図は同回路の動作を示す説明図、第3図は本発明の他の実施例を示す回路図、第4図は同実施例の送受信制御を示すフローチャート、第5図および第6図は従来のプロセッサ結合の方法を示すメモリマップである。

1A、1B…システムバス

3…FIFOメモリ

4A、5A…寄込側ラッチ

4B、5B…取出側ラッチ

6A…寄込制御回路

6B…取出制御回路

7A…寄込ポイント

7B…取出ポイント

8…読み込み発生回路

特許出願人 オムロン株式会社

代理人 和 田 成 則